

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-294290

(43)Date of publication of application : 04.11.1998

(51)Int.Cl. H01L 21/28
H01L 21/768
H01L 29/78

(21)Application number : 09-101190

(71)Applicant : SONY CORP

(22)Date of filing : 18.04.1997

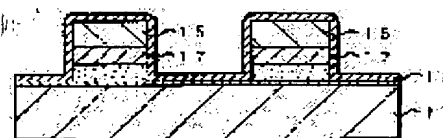
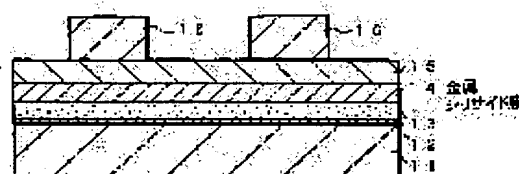
(72)Inventor : GOCHO TETSUO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent generation of projection and swell in a metallic silicide film by processing a metallic silicide film between a first heat process and a second heat process after formation of a metallic silicide film and thereafter carrying out annealing in atmosphere of nitrogen alone.

SOLUTION: A silicon substrate 11 is subjected to isolation formation and a gate oxide film 12 is formed. Then, a polysilicon film 13 is formed and furthermore, tungsten silicide is deposited for forming a metallic silicide film 14. Then, an offset insulation film 15 is formed by a CVD method which becomes a first heat process. The offset insulation film 15 is etched and a metallic silicide film 1 and a polysilicon film 13 are etched by using the film 15 as a mask, and a gate electrode 17 whereon the offset insulation film 15 is put is formed. Annealing is carried out in atmosphere of nitrogen alone and an insulation film 18 covering the offset insulation film 15 and the gate electrode 17 is formed on the silicon substrate 11 by a second heat process.



LEGAL STATUS

[Date of request for examination]

26.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-294290

(43)公開日 平成10年(1998)11月4日

| | | |
|--------------------------|-------|---------------|
| (51)Int.Cl. ⁶ | 識別記号 | F I |
| H 0 1 L 21/28 | 3 0 1 | H 0 1 L 21/28 |
| 21/768 | | 21/90 |
| 29/78 | | 29/78 |
| | | 3 0 1 D |
| | | C |
| | | 3 0 1 X |

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21)出願番号 特願平9-101190

(22)出願日 平成9年(1997)4月18日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 牛嶋 哲雄

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

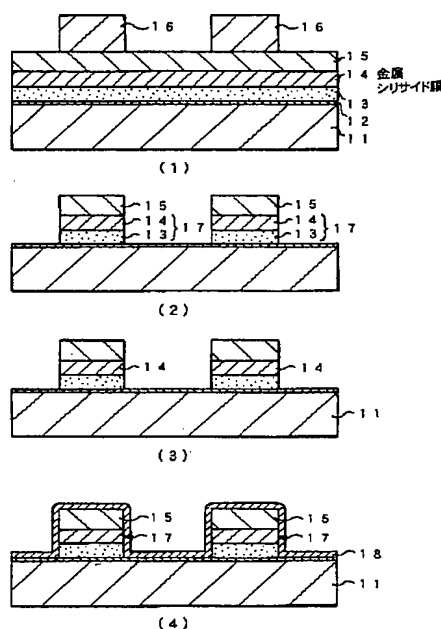
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 タングステンシリサイド膜を備えたポリサイド構造を加工してゲート電極を形成した後に酸化性雰囲気中で熱工程を行うと、タングステンシリサイド膜に膨れや突起等を生じて、電極間の耐圧の劣化を引き起こす。

【解決手段】 金属シリサイド膜14を形成した後に第1の熱工程としてオフセット絶縁膜15の形成工程と第2の熱工程として酸素原子を含む雰囲気中で加熱して成膜処理を行うことで絶縁膜18を形成する工程を行う際に、オフセット絶縁膜15の形成工程と絶縁膜18の形成工程との間で、金属シリサイド膜14をエッチングにより加工してゲート電極17を形成した後に、窒素のみの雰囲気中でアニーリングを行うことにより課題の解決を図るという製造方法である。



本発明の第1実施形態の製造工程図

【特許請求の範囲】

【請求項1】 金属シリサイド膜を形成した後に第1の熱工程と第2の熱工程とを行う半導体装置の製造方法において、前記第1の熱工程と前記第2の熱工程との間で、前記金属シリサイド膜の加工を行った後に窒素のみの雰囲気中でアニーリングを行うことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、前記アニーリングは550℃以上1150℃以下の所定温度で行うことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、前記第1の熱工程は、前記金属シリサイド膜上にオフセット絶縁膜を形成する工程であることを特徴とする半導体装置の製造方法。

【請求項4】 請求項2記載の半導体装置の製造方法において、前記第1の熱工程は、前記金属シリサイド膜上にオフセット絶縁膜を形成する工程であることを特徴とする半導体装置の製造方法。

【請求項5】 請求項1記載の半導体装置の請求項方法において、前記第2の熱工程は、酸素原子を含む雰囲気中で加熱して成膜処理を行う工程であることを特徴とする半導体装置の製造方法。

【請求項6】 請求項2記載の半導体装置の請求項方法において、前記第2の熱工程は、酸素原子を含む雰囲気中で加熱して成膜処理を行う工程であることを特徴とする半導体装置の製造方法。

【請求項7】 請求項3記載の半導体装置の請求項方法において、前記第2の熱工程は、酸素原子を含む雰囲気中で加熱して成膜処理を行う工程であることを特徴とする半導体装置の製造方法。

【請求項8】 請求項4記載の半導体装置の請求項方法において、前記第2の熱工程は、酸素原子を含む雰囲気中で加熱して成膜処理を行う工程であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、詳しくは微細化、集積化が進んだメモリ素子のような半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置のゲート電極にはポリシリコン膜上に高融点金属シリサイド膜を形成したとポリサイ

ド構造が広く採用されている。この高融点金属シリサイド膜は、ゲート電極や配線の低抵抗化のために採用されているもので、高融点金属シリサイドはシリコン基板との仕事関数の差から有利であるため、およびポリシリコンはシリサイドとゲート絶縁膜との密着性をよくするために必要であることから、上記ポリサイド構造が主に用いられている。

【0003】高融点金属シリサイドとしては、主にタングステンシリサイドが用いられており、このタングステンシリサイド膜はスパッタリングまたはCVDによって形成される。CVDで形成される膜はスパッタリングで形成される膜よりも段差被覆性（ステップカバリッジ）に優れかつ抵抗も低いという特徴を有している。

【0004】

【発明が解決しようとする課題】しかしながら、ゲート電極上にいわゆるオフセット酸化膜を形成して、高集積化のために自己整合的にコンタクトホールを形成する場合、図7の（1）および（2）に示すように、ポリシリコン膜101とタングステンシリサイド膜102とをエッチングにより加工してゲート電極103を形成した後に、酸化性雰囲気中で熱処理を施すと、タングステンシリサイド膜102に膨れ102E〔図7の（1）〕、突起102P〔図7の（2）〕等が発生する。またゲート電極を形成した後にカバリッジ性に優れている高温CVD酸化膜（図示省略）を成膜した場合にも、タングステンシリサイド膜に突起や膨れを生じていた。これらの突起、膨れ等はコンタクトとゲート電極間の耐圧の劣化を引き起こすという課題がある。

【0005】タングステンシリサイド膜中では、全てのタングステンとシリコンとが結合しているわけではなく、タングステンシリサイド膜中にはタングステンノジュールの核やシリコンノジュールの核が存在する。突起の発生は、タングステンシリサイド膜中のタングステンノジュールが酸化雰囲気中にさらされてタングステンの酸化物になるためと考えられる。タングステンの酸化物は昇華性を有するため、程度のひどいときは膨れが発生する。特にゲート電極上に高温成膜のオフセット酸化膜が形成される場合には、オフセット酸化膜を形成した時の熱によりタングステンシリサイド膜中にタングステンノジュールの形成がより起こりやすくなり、突起や膨れが発生し易くなる。タングステンシリサイド膜の成膜初期にシリコンリッチなタングステンシリサイド膜を形成することでタングステンシリサイド膜の膨れを抑制する方法も提案されているが、この方法であっても膨れや突起の発生を十分に抑制することはできない。

【0006】また、メモリスルスの微細化を行う上で、窒化シリコン膜をエッチングストップとした自己整合コンタクト技術がある。この技術では、オフセット絶縁膜に窒化シリコンを用いる。窒化シリコンを高温の減圧CVD法によって形成する場合にも上記課題が発生する。

【0007】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置の製造方法である。すなわち、金属シリサイド膜を形成した後に第1の熱工程と第2の熱工程とを行う半導体装置の製造方法であって、第1の熱工程と第2の熱工程との間で、金属シリサイド膜の加工を行った後に窒素のみの雰囲気中でアニーリングを行うという製造方法である。上記アニーリングは550℃以上1150℃以下の所定温度で行う。また、上記第1の熱工程は、例えば金属シリサイド膜上にオフセット絶縁膜を形成する工程であり、上記第2の熱工程は、例えば酸素を含む雰囲気中で加熱して成膜処理を行う工程である。

【0008】上記半導体装置の製造方法では、第1の熱工程と第2の熱工程との間で、金属シリサイド膜の加工を行った後に窒素のみの雰囲気中でアニーリングを行うことから、金属シリサイド中の金属ノジュールと余剰シリコンと窒素との3元化合物が形成される。少なくとも金属ノジュールの表面にその金属とシリコンと窒素との化合物が形成されると酸素と結合する金属（金属の未結合手）は存在しなくなるので、後の工程で金属シリサイド膜が酸素雰囲気中にさらされても金属の酸化物は生成されない。したがって、金属シリサイド膜に突起や膨れが発生しなくなる。

【0009】

【発明の実施の形態】本発明の第1実施形態を、オフセット絶縁膜を有するゲート電極加工を一例にして、図1および図2の製造工程図によって説明する。図1、図2では、工程順を示す（ ）内の数字は通し番号で記す。

【0010】図1の（1）に示すように、シリコン基板11に、図示はしないが素子分離形成工程を行った後、ゲート酸化膜12を形成し、次いでCVD法によってポリシリコン13を形成する。さらにCVD法によってタングステンシリサイドを堆積して金属シリサイド膜14を形成する。次いで第1の熱工程となるCVD法（例えば成膜温度が720℃）によって、例えば酸化シリコンを堆積してオフセット絶縁膜15を形成する。以下、熱工程とは加熱を伴う工程をいい、例えばCVD法、蒸着法、スパッタリング、エビタキシャル成長等による成膜時に被成膜基板が加熱されることを伴う工程、例えばエッチング時に被成膜基板が加熱されることを伴う工程等のことである。その後、レジスト塗布、リソグラフィー技術によって、所望とするゲート電極配線形成のためのレジストパターン16を形成する。

【0011】以下に、上記各成膜条件の一例を説明する。なお、これから以下に示す成膜条件、エッチング条件等は一例であり、装置、ガス種、各種条件の数値は、適宜変更することが可能である。

【0012】上記ポリシリコン膜を形成するCVD条件は、一例として、減圧CVD装置を用い、原料ガスにモ

ノシラン〔SiH₄：100sccm〕、ヘリウム〔He：400sccm〕および窒素〔N₂：200sccm〕を用いる。上記sccmは標準状態における体積流量（cm³/分）を表し、以下同様である。また成膜雰囲気圧力を70Pa、成膜温度を610℃に設定する。

【0013】上記タングステンシリサイド膜を形成するCVD条件は、一例として、核形成ステップでは、減圧CVD装置を用い、原料ガスに六フッ化タングステン〔WF₆：1sccm〕およびジクロロシラン〔SiH₂Cl₂：300sccm〕を用いる。また成膜雰囲気圧力を133Pa、成膜温度を595℃に設定する。次の主堆積ステップでは、減圧CVD装置を用い、原料ガスに六フッ化タングステン〔WF₆：3.6sccm〕およびジクロロシラン〔SiH₂Cl₂：300sccm〕を用いる。また成膜雰囲気圧力を133Pa、成膜温度を595℃に設定する。

【0014】上記いわゆる高温シリコン酸化膜からなるオフセット絶縁膜を形成するためのCVD条件は、一例として、減圧CVD装置を用い、原料ガスにテトラエトキシシラン〔TEOS：50sccm〕および窒素〔N₂：5sccm〕を用いる。また成膜雰囲気圧力を80Pa、成膜温度を720℃に設定する。

【0015】次いで上記レジストパターン16をエッチングマスクに用いて、図1の（2）に示すように、オフセット絶縁膜15をエッチングより加工する。なお、図1の（2）では、レジストパターン16の図示は省略した。

【0016】さらに上記レジストパターン16を除去した後、オフセット絶縁膜15をマスクにして金属シリサイド膜14、ポリシリコン膜13をエッチングより加工して、オフセット絶縁膜15を載せたゲート電極17を形成する。

【0017】上記オフセット絶縁膜15を加工するためのエッチング条件は、一例として、枚様式マグネトロン反応性イオンエッチング〔RIE（Reactive Ion Etching）〕装置を用い、エッチングガスにオクタフルオロシクロブタン〔C₄F₈：8sccm〕、一酸化炭素〔CO：5sccm〕およびアルゴン〔Ar：200sccm〕を用いる。またエッチング雰囲気圧力を5.3Pa、RFパワーを1.6kW、サセプタ温度を20℃に設定する。

【0018】上記ゲート電極17を形成するためのエッチング条件は、一例として、電子サイクロトロン共鳴〔ECR（Electron Cyclotron Resonance）〕エッチング装置を用いる。まず第1ステップでは、エッチングガスに塩素〔Cl₂：75sccm〕および酸素〔O₂：8sccm〕を用いる。またエッチング雰囲気圧力を0.4Pa、マイクロ波パワーを900W、RFパワーを60W、サセプタ温度を20℃に設定する。次いで第

2ステップでは、エッチングガスに臭化水素〔HBr：120sccm〕および酸素〔O₂：4sccm〕を用いる。またエッチング雰囲気圧力を1.0Pa、マイクロ波パワーを900W、RFパワーを40W、サセプタ温度を20℃に設定する。

【0019】次に、図1の(3)に示すように、窒素のみの雰囲気中でアニーリングを行う。上記アニーリング条件は、窒素〔N₂：100%〕雰囲気とし、一例として、アニーリング温度を800℃、アニーリング時間を10分に設定する。上記アニーリングの最適温度は、金属シリサイド膜14の種類によって多少は異なるが、例えば550℃以上1150℃以下の範囲における所定の温度に設定する。上記550℃よりも低い温度でアニーリングを行った場合には、窒素のみの雰囲気中でのアニーリング効果が十分に得られない。また1150℃を越える温度では、シリコン基板11が軟化し易くなり、基板精度が得られなくなる。上記タングステンシリサイドの場合には、700℃～850℃程度内の所定温度でアニーリングを行うことが好ましい。

【0020】次いで図1の(4)に示すように、シリコン基板11上に上記オフセット絶縁膜15およびゲート電極17を覆う絶縁膜18として、例えばCVD法により酸化シリコン膜を形成する。この絶縁膜18の形成工程が第2の熱工程になる。上記絶縁膜18を形成するためのCVD条件は、一例として、減圧CVD装置を用い、原料ガスにテトラエトキシシラン〔TEOS：50sccm〕および窒素〔N₂：5sccm〕を用いる。また成膜雰囲気圧力を80Pa、成膜温度を720℃に設定する。この絶縁膜18を形成する前に、ソース・ドレイン酸化（図示省略）〔850℃の乾燥酸素雰囲気中〕を行ってもよい。ソース・ドレイン酸化を行った場合には、この工程が第2の熱工程になる。

【0021】その後図2の(5)に示すように、配線形成工程を行う。まず上記絶縁膜18を覆う状態に層間絶縁膜19を、CVD法により、酸化シリコン（SiO₂）膜またはホウ素リンシリケートガラス（BPSG）膜で形成する。次いでレジスト塗布およびリソグラフィ技術によってレジストマスク（図示省略）を形成し、それを用いたエッチング技術によって、上記層間絶縁膜19、絶縁膜18およびゲート絶縁膜12にコンタクトホール20を形成する。その後レジストマスクを除去してから、CVD法によってドーパントポリシリコン膜を上記コンタクトホール20の内部を埋め込む状態に形成した後、層間絶縁膜19上のドーパントポリシリコン膜をエッチバックにより除去し、コンタクトホール20の内部にドーパントポリシリコン膜からなるコンタクトプラグ21を形成する。

【0022】次いで配線材料となるドーパントポリシリコン膜とタングステンシリサイド膜を、例えばCVD法によって成膜した後、レジスト塗布およびリソグラフィ

技術によって配線形成用のレジストマスク（図示省略）を形成する。そしてそれを用いたエッチング技術によって、上記層間絶縁膜19上に、上記コンタクトプラグ21に接続する配線22を形成する。その後、上記レジストマスクを除去する。

【0023】上記層間絶縁膜19を酸化シリコン膜で形成する場合には、上記絶縁膜18と同様の条件により成膜を行えばよい。ただし、成膜時間は変更する。またBPSG膜で形成する場合には、その成膜条件としては、一例として、常圧CVD装置を用い、原料ガスにテトラエトキシシラン〔TEOS：50sccm〕、トリメチルホスフェート〔TMP：15sccm〕、トリメチルボレート〔TMB：15sccm〕およびオゾン〔O₃：1g/分〕を用いる。また成膜温度を520℃に設定する。

【0024】上記コンタクトホールを形成するためのエッチング条件としては、一例として、平行平板反応性イオンエッチング〔RIE（Reactive Ion Etching）〕装置を用いる。エッチングガスにトリフルオロメタン〔CHF₃：40sccm〕、テトラフルオロメタン〔CF₄：400sccm〕およびアルゴン〔Ar：600sccm〕を用いる。またエッチング雰囲気圧力を20Pa、RFパワーを1.2W、サセプタ温度を0℃に設定する。

【0025】ドーパントポリシリコン膜を形成するためのCVD条件としては、一例として、減圧CVD装置を用い、原料ガスにモノシラン〔SiH₄：100sccm〕、ホスフィン〔PH₃：20sccm〕、ヘリウム〔He：400sccm〕および窒素〔N₂：200sccm〕を用いる。また成膜雰囲気圧力を70Pa、成膜温度を610℃に設定する。

【0026】ドーパントポリシリコン膜をエッチバックする条件としては、一例として、ECR（Electron Cyclotron Resonance）プラズマエッチング装置を用いる。エッチングガスにトリクロロフルオロエタン〔C₂Cl₂F₂：60sccm〕およびサルファーヘキサフルオライド〔SF₆：10sccm〕を用いる。またエッチング雰囲気圧力を1.3Pa、マイクロ波パワー：850W、RFパワーを150Wに設定する。

【0027】上記第1実施形態の製造方法では、第1の熱工程であるオフセット絶縁膜15の形成工程と第2の熱工程である絶縁膜18の形成工程との間で、タングステンシリサイドからなる金属シリサイド膜14のエッチングより加工を行ってゲート電極17を形成した後、窒素のみの雰囲気中でアニーリングを行うことから、このアニーリングによって金属シリサイド膜14中のタングステンと余剰シリコンと窒素との3元化合物が形成される。少なくともタングステンとシリコンと窒素との化合物が形成されると、酸素と結合するタングステン（タングステ

10

20

30

40

50

ンの未結合手)は存在しなくなるので、後に酸素雰囲気
にさらされる絶縁膜18を形成する工程を行っても、タ
ングステンの酸化物は生成されない。したがって、タ
ングステンシリサイドからなる金属シリサイド膜14に突
起や膨れが発生しなくなる。そのため、ゲート電極17
間の耐圧の向上が図れる。

【0028】次に第2実施形態の一例を、図3および図
4の製造工程図によって説明する。図3、図4では、工
程順を示す()内の数字は通し番号で記し、また、前
記図1、図2によって説明した構成部品と同様のものに
は同一符号を付す。

【0029】前記図1の(1)によって説明したのと同
様にして、図3の(1)に示すように、シリコン基板1
1に、図示はしないが素子分離形成工程を行った後、ゲ
ート酸化膜12を形成し、次いでCVD法によってポリ
シリコン13を形成する。さらにCVD法によってタン
グステンシリサイドを堆積して金属シリサイド膜14を
形成する。次いで第1の熱工程となるCVD法によっ
て、例えば窒化シリコン膜を堆積してオフセット絶縁膜
15を形成する。その後、レジスト塗布、リソグラフィ
ー技術によって、所望とするゲート電極配線形成のため
のレジストパターン16を形成する。

【0030】上記窒化シリコン膜からなるオフセット絶
縁膜15を形成するためのCVD条件は、一例として、
減圧CVD装置を用い、原料ガスにジクロロシラン〔S
iH₂Cl₂ : 50 sccm〕、アンモニア〔NH₃ :
200 sccm〕および窒素〔N₂ : 200 sccm〕
を用いる。また成膜雰囲気の圧力を70Pa、成膜温度
を760℃に設定する。なお、減圧CVD法の代わりに
プラズマCVD法によってプラズマ窒化シリコン膜を形
成することもできるが、その場合には、その後の熱工程
でタングステンシリサイド膜に突起、膨れは発生しない
ものの、プラズマ窒化シリコン膜が、構造変化によるス
トレスを発生することによって剥がれるという問題を生
じる。したがって、上記オフセット絶縁膜15は、減圧
CVD法によって窒化シリコン膜を成膜した。

【0031】次いで上記レジストパターン16をエッチ
ングマスクに用いて、前記図1の(2)によって説明し
たのと同様にして、図3の(2)に示すように、オフセ
ット絶縁膜15をエッチングにより加工する。なお、こ
の図3の(2)ではレジストパターン16の図示は省略
した。さらに上記レジストパターン16を除去した後、
オフセット絶縁膜15をマスクにして金属シリサイド膜
14およびポリシリコン膜13をエッチングにより加工
して、オフセット絶縁膜15を載せたゲート電極17を
形成する。

【0032】上記窒化シリコン膜からなるオフセット絶
縁膜15を加工するためのエッチング条件は、一例とし
て、反応性イオンエッチング装置を用い、エッチングガ
スにテトラフルオロメタン〔CF₄〕およびアルゴン

〔Ar〕を用いる。また、上記ゲート電極17を形成す
るためのエッチング条件は、一例として、第1実施形態
で説明した条件と同様である。

【0033】次いで図3の(3)に示すように、窒素の
みの雰囲気中でアニーリングを行う。上記アニーリング
条件は、前記図1の(3)によって説明したのと同様で
あり、窒素〔N₂ : 100%〕雰囲気とし、一例とし
て、アニーリング温度を800℃、アニーリング時間を
10分に設定する。

【0034】その後、ソース・ドレインを形成するシリ
コン基板11の表面を酸化するソース・ドレイン酸化
(図示省略)〔850℃の乾燥酸素雰囲気中〕を行う。
このソース・ドレイン酸化が第2の熱工程になる。次い
でシリコン基板11上に上記オフセット絶縁膜15およ
びゲート電極17を覆う窒化シリコン膜31を、例えば
CVD法により形成する。上記窒化シリコン膜31を形
成するためのCVD条件は、一例として、減圧CVD装
置を用い、原料ガスにジクロロシラン〔SiH₂Cl₂ :
50 sccm〕、アンモニア〔NH₃ : 200 s
ccm〕および窒素〔N₂ : 200 sccm〕を用い
る。また成膜雰囲気の圧力を70Paに設定し、成膜温
度を760℃に設定する。

【0035】次いで上記窒化シリコン膜31をエッチバ
ックして、図3の(4)に示すように、ゲート電極17
およびオフセット絶縁膜15の各側壁に、窒化シリコン
膜31からなるサイドウォール32を形成する。上記エ
ッチバック条件としては、例えば、平行平板型プラズマ
エッチング装置を用い、エッチングガスにテトラフルオ
ロメタン〔CF₄ : 100 sccm〕、アルゴン〔A
r : 800 sccm〕を用いる。また成膜雰囲気の圧力
を133Pa、RFパワーを600Wに設定する。

【0036】その後前記図2の(5)によって説明した
のと同様にして、図4の(5)に示すように、配線形成
工程を行う。まず上記半導体基板11上に、上記オフセ
ット絶縁膜15およびサイドウォール32を覆う層間絶
縁膜19を、CVD法により、酸化シリコン(Si
O₂)膜またはホウ素リンシリケートガラス(BPS
G)膜で形成する。次いでレジスト塗布およびリソグラ
フィー技術によってレジストマスク(図示省略)を形成
し、それを用いたエッチング技術によって、上記層間絶
縁膜19およびゲート絶縁膜12にコンタクトホール2
0を形成する。このとき、窒化シリコンからなるオフセ
ット絶縁膜15およびサイドウォール32はエッチング
されない。その後レジストマスクを除去してから、CV
D法によってドーフトポリシリコン膜を上記コンタクト
ホール20の内部を埋め込む状態に形成した後、層間絶
縁膜19上のドーフトポリシリコン膜をエッチバックに
より除去し、コンタクトホール20の内部にドーフトポ
リシリコン膜からなるコンタクトプラグ21を形成す
る。

【0037】次いで配線材料となるドーフトポリシリコン膜とタングステンシリサイド膜を、例えばCVD法によって成膜した後、レジスト塗布およびリソグラフィー技術によって配線形成用のレジストマスク（図示省略）を形成する。そしてそれを用いたエッチング技術によって、上記層間絶縁膜19上に、上記コンタクトプラズマ21に接続する配線22を形成する。その後、上記レジストマスクを除去する。

【0038】なお、上記コンタクトホール20を形成するためのエッチング条件としては、一例として、マグネ

トロンプラズマエッチング装置を用いる。エッチングガスには、窒化シリコン膜をエッチングしないように、オクタフルオロシクロブタン〔 C_4F_8 : 8 sccm〕、一酸化酸素〔 CO : 60 sccm〕およびアルゴン〔 Ar : 200 sccm〕を用いる。またエッチング雰囲気中の圧力を5.3 Pa、RFパワーを1.6 kW、サセプタ温度を20℃に設定する。

【0039】上記第2実施形態の製造方法では、第1の熱工程であるオフセット絶縁膜15の形成工程と第2の熱工程であるソース・ドレイン酸化の工程との間で、タ

ングステンシリサイドからなる金属シリサイド膜14のエッチングにより加工を行ってゲート電極17を形成した後に窒素のみの雰囲気中でアニーリングを行うことから、このアニーリングによって金属シリサイド膜14中のタングステンノジュールと余剰シリコンと窒素との3元化合物が形成される。少なくともタングステンノジュールの表面にそのタングステンとシリコンと窒素との化合物が形成されると、酸素と結合するタングステン（タングステンの未結合手）は存在しなくなるので、その後

に酸素雰囲気中にさらされるソース・ドレイン酸化の工程を行っても、タングステンの酸化物は生成されない。したがって、タングステンシリサイドからなる金属シリサイド膜14に突起や膨れが発生しなくなる。そのため、ゲート電極17間の耐圧の向上が図れる。

【0040】次に第3実施形態として、ゲート電極上のオフセット絶縁膜に窒化シリコンを用い、コンタクトを開口した後、サイドウォールのカバーによりコンタクトの形成を行う製造方法の一例を、図5および図6の製造工程図によって説明する。図5、図6では、工程順を示す（ ）内の数字は通し番号で記し、また、前記図1～図4によって説明した構成部品と同様のものには同一符

号を付す。

【0041】前記図1の（1）および図3の（1）によって説明したのと同様にして、図5の（1）に示すように、シリコン基板11に、図示はしないが素子分離形成工程を行った後、ゲート酸化膜12を形成し、次いでCVD法によってポリシリコン13を形成する。さらにCVD法によってタングステンシリサイドを堆積して金属シリサイド膜14を形成する。次いで第1の熱工程となるCVD法によって、例えば窒化シリコン膜を堆積して

オフセット絶縁膜15を形成する。その後、レジスト塗布、リソグラフィー技術によって、所望とするゲート電極配線形成のためのレジストパターン16を形成する。

【0042】次いで上記レジストパターン16をエッチングマスクに用いて、前記図3の（2）によって説明したのと同様にして、図5の（2）に示すように、オフセット絶縁膜15をエッチングにより加工する。なお、この図5の（2）ではレジストパターン16の図示は省略した。さらに上記レジストパターン16を除去した後、オフセット絶縁膜15をマスクにして金属シリサイド膜14およびポリシリコン膜13をエッチングにより加工して、オフセット絶縁膜15を載せたゲート電極17を形成する。

【0043】次いで窒素のみの雰囲気中でアニーリングを行う。上記アニーリング条件は、前記図1の（3）によって説明したのと同様であり、窒素〔 N_2 : 100%〕雰囲気とし、一例として、アニーリング温度を800℃、アニーリング時間を10分に設定する。

【0044】その後前記図2の（5）によって説明したのと同様にして、図5の（3）に示すように、上記半導体基板11上に、上記オフセット絶縁膜15およびゲート電極17を覆う層間絶縁膜19を、CVD法により、酸化シリコン（ SiO_2 ）膜またはホウ素リンシリケートガラス（BPSG）膜で形成する。次いでレジスト塗布およびリソグラフィー技術によってレジストマスク

（図示省略）を形成し、それを用いた異方性エッチング技術によって、上記層間絶縁膜19およびゲート絶縁膜12にコンタクトホール20を形成する。このとき、窒化シリコンからなるオフセット絶縁膜15がマスクとなりゲート電極17はエッチングされない。上記コンタクトホールのエッチングは、窒化シリコン膜のオフセット絶縁膜15に対して選択比が取れるような条件で行う必要があり、例えば前記図2の（5）によって説明したのと同様の条件で行う。

【0045】その後レジストマスクを除去してから、図6の（4）に示すように、ステップカバリッジに優れた膜形成が可能な減圧CVD法によって、サイドウォール形成膜33を上記コンタクトホール20の内壁および層間絶縁膜19上に形成する。このサイドウォール形成膜33は、例えば酸化シリコン膜で形成する。そして上記サイドウォール形成膜33の成膜工程が第2の熱工程となる。上記サイドウォール形成膜33を形成するための成膜条件としては、一例として、減圧CVD装置を用いる。そして原料ガスにテトラエトキシシラン〔 TEOS : 50 sccm〕および窒素〔 N_2 : 5 sccm〕を用い、成膜雰囲気の圧力を80 Pa、成膜温度を720℃に設定する。

【0046】次いで層間絶縁膜19上のサイドウォール形成膜33をエッチバックにより除去し、図6の（5）に示すように、コンタクトホール20の内部にサイドウ

オール形成膜33からなるサイドウォール34を形成する。上記酸化シリコン膜からなるサイドウォール形成膜33をエッチバックする条件としては、一例として、平行平板型プラズマエッチング装置を用い、エッチングガスにテトラフルオロメタン〔CF₄：100sccm〕およびアルゴン〔Ar：800sccm〕を用いる。また成膜雰囲気圧力を133Pa、RFパワーを600Wに設定する。

【0047】なお、上記サイドウォール形成膜33は、酸化シリコン膜の代わりに、例えば減圧CVD法によって窒化シリコン膜を形成し、上記サイドウォール34をその窒化シリコン膜で形成することも可能である。

【0048】その後図6の(6)に示すように、減圧CVD法によってドーフトポリシリコン膜を上記コンタクトホール20の内部を埋め込む状態に形成した後、層間絶縁膜19上のドーフトポリシリコン膜をエッチバックにより除去し、コンタクトホール20の内部にドーフトポリシリコン膜からなるコンタクトプラグ21を形成する。

【0049】上記第3実施形態の製造方法では、第1の熱工程であるオフセット絶縁膜15の形成工程と第2の熱工程であるサイドウォール形成膜33の成膜工程との間で、タングステンシリサイドからなる金属シリサイド膜14のエッチングにより加工を行ってゲート電極17を形成した後に窒素のみの雰囲気中でアニーリングを行うことから、このアニーリングによって金属シリサイド膜14中のタングステンノジュールと余剰シリコンと窒素との3元化合物が形成される。少なくともタングステンノジュールの表面にそのタングステンとシリコンと窒素との化合物が形成されると、酸素と結合するタングステン（タングステンの未結合手）は存在しなくなるので、その後に酸素雰囲気にさらされるサイドウォール形成膜33の成膜工程を行っても、タングステンの酸化物は生成されない。したがって、タングステンシリサイドからなる金属シリサイド膜14に突起や膨れが発生しなくなる。そのため、ゲート電極17間の耐圧の向上が図れる。

【0050】次に比較例として、図示はしないが、シリコン基板上にゲート絶縁膜を形成し、ポリシリコン膜、タングステンシリサイド膜を形成した後、テトラエトキシシラン（TEOS）を原料ガスに用いた減圧CVD法によるオフセット酸化膜を形成し、その後リソグラフィ技術およびエッチング技術によって上記オフセット酸

化膜、タングステンシリサイド膜、ポリシリコン膜をバタニングして、オフセット酸化膜を載せたゲート電極を形成した。次いで酸素を1%含む窒素雰囲気を800℃に加熱し、その雰囲気中で10分間のアニーリングを行った。その結果、タングステンシリサイド膜の側壁には突起や膨れを生じた。このように、1%というわずかな量の酸素でも窒素雰囲気中に含まれていると、タングステンシリサイド膜に突起や膨れが発生してしまう。したがって、上記アニーリング雰囲気は窒素のみの雰囲気であればならないことが判る。

【0051】上記各実施形態では、金属シリサイド膜にタングステンシリサイド膜を用いた場合を説明したが、例えばニッケルシリサイド膜、コバルトシリサイド膜を用いた場合にも、上記製造方法によれば、従来、金属シリサイドに発生していた突起、膨れ等を抑制することが可能である。

【0052】

【発明の効果】以上、説明したように本発明によれば、第1の熱工程と第2の熱工程との間で、金属シリサイド膜の加工を行った後に窒素のみの雰囲気中でアニーリングを行うので、金属シリサイド中の金属ノジュールと余剰シリコンと窒素との化合物が形成することができる。そのため、酸素と結合する金属は存在していないので、後の工程で金属シリサイド膜が酸素雰囲気にさらされてもその金属シリサイド中の金属による酸化物は生成されない。したがって、金属シリサイド膜に突起や膨れが発生しなくなるので、加工後における金属シリサイド膜の信頼性の向上が図れる。例えば、金属シリサイド膜間の耐圧の向上が図れる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の製造工程図である。

【図2】本発明の第1実施形態の製造工程図（続き）である。

【図3】本発明の第2実施形態の製造工程図である。

【図4】本発明の第2実施形態の製造工程図（続き）である。

【図5】本発明の第3実施形態の製造工程図である。

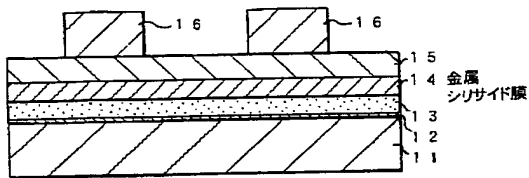
【図6】本発明の第3実施形態の製造工程図（続き）である。

【図7】課題の説明図である。

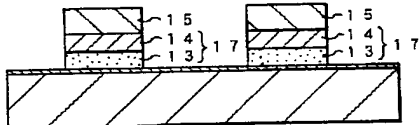
【符号の説明】

13 金属シリサイド膜

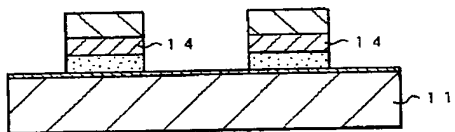
【図1】



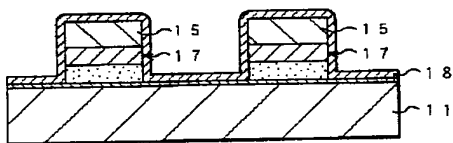
(1)



(2)



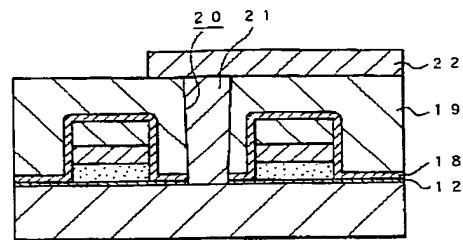
(3)



(4)

本発明の第1実施形態の製造工程図

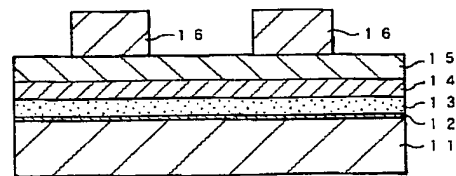
【図2】



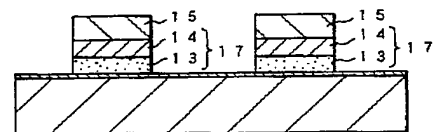
(5)

本発明の第1実施形態の製造工程図(続き)

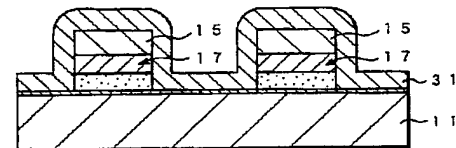
【図3】



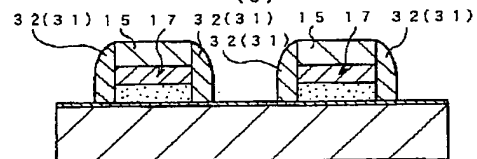
(1)



(2)



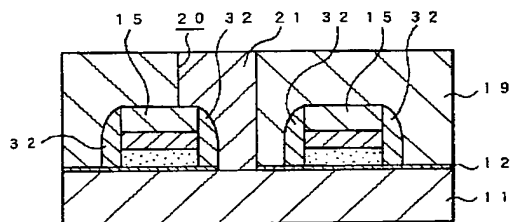
(3)



(4)

本発明の第2実施形態の製造工程図

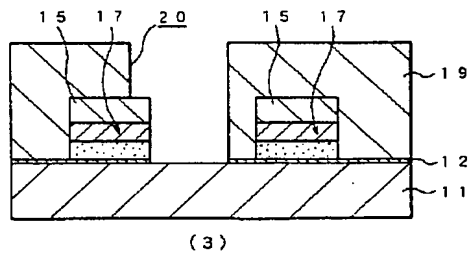
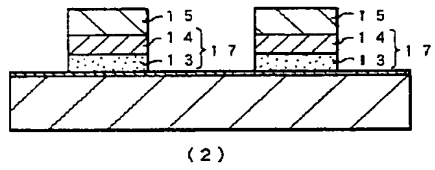
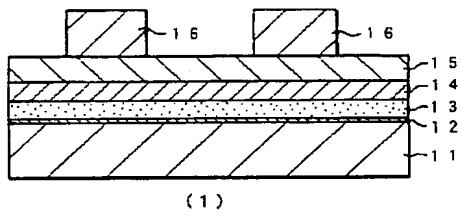
【図4】



(5)

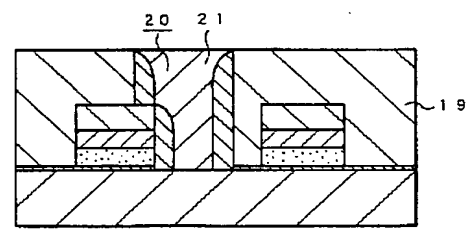
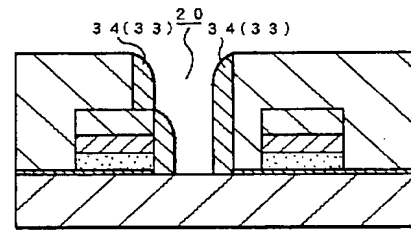
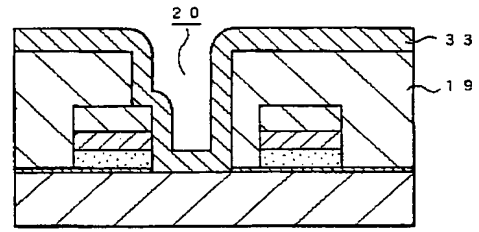
本発明の第2実施形態の製造工程図(続き)

【図5】



本発明の第3実施形態の製造工程図

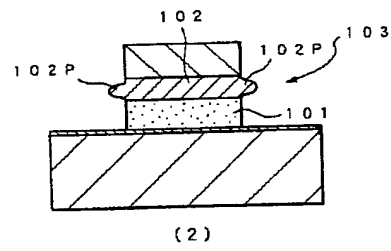
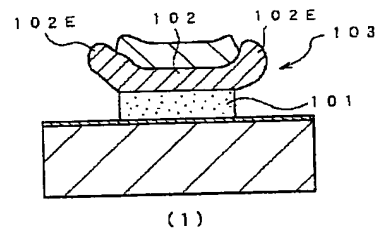
【図6】



本発明の第3実施形態の製造工程図(続き)

(10)

【図7】



課題の説明図